

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-072819
(43)Date of publication of application : 17.03.2005

(51)Int.CI. H04B 1/707
H04B 7/005
H04L 27/22

(21)Application number : 2003-298143 (71)Applicant : KEY STREAM KK
(22)Date of filing : 22.08.2003 (72)Inventor : YOSHIDA TATSUMASA
SUGIMOTO DAIKI
SHIMODA TAKASHI
SATO TAKURO

(54) SIGNAL PROCESSING APPARATUS AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a signal processing apparatus and method capable of demodulating a signal including a control signal subjected to spread spectrum processing and transmission data modulated by a prescribed modulation system.

SOLUTION: The signal processing apparatus includes: an orthogonal demodulator 106 for converting an input signal into an I-Q baseband signal; a multipath detection circuit having a first correlation unit for using a spread code to apply inverse spread processing to the baseband signal and a peak detection circuit for detecting a peak of an output of the first correlation unit; a second correlation unit for carrying out inverse spread processing with the spread code by using a maximum peak position of the correlation output detected by the peak detection circuit for a demodulation timing; a phase discrimination circuit for detecting an output phase of the second correlation unit at the maximum peak position of a symbol period obtained by the multipath detection circuit 110; a spread code demodulator for demodulating the baseband signal on the basis of an output of the phase discrimination circuit; a first equalizer for applying waveform equalization to the control signal; and a second equalizer 140 for receiving an output of the first equalizer 120 to apply waveform equalization to the transmission data.

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特願2005-72819

(P2005-72819A)

(43) 公開日 平成17年3月17日(2005.3.17)

(51) Int.Cl.⁷H04B 1/707
H04B 7/005
H04L 27/22

F I

H04J 13/00
H04B 7/005
H04L 27/22

テーマコード(参考)

5K004
5K022
5K046

審査請求 未請求 請求項の数 8 O.L. (全 17 頁)

(21) 出願番号

特願2003-298143 (P2003-298143)

(22) 出願日

平成15年8月22日 (2003.8.22)

(71) 出願人 502034486

キーストリーム株式会社
東京都中央区八丁堀2-8-5 第二長岡
ビル10階

(74) 代理人 100110412

弁理士 藤元 亮輔
吉田 邦正(72) 発明者 杉本 大樹
東京都中央区八丁堀2-8-5 第二長岡ビ
ル10階キーストリーム株式会社内(72) 発明者 下田 隆
東京都中央区八丁堀2-8-5 第二長岡ビ
ル10階キーストリーム株式会社内

最終頁に続く

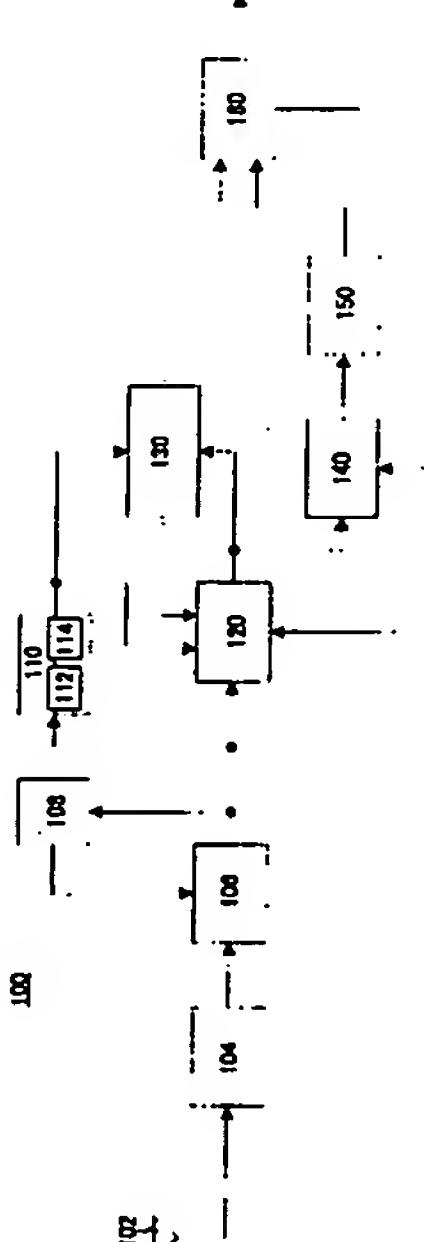
(54) 【発明の名称】 信号処理装置及び方法

(57) 【要約】 (修正有)

【課題】スペクトラム拡散した制御信号と、所定の変調方式で変調された送信データとを有する信号を、復調できる信号処理装置及び方法を提供する。

【解決手段】入力信号を、I-Qベースバンド信号に変換する直交復調器106と、ベースバンド信号を拡散符号を用いて逆拡散する第1の相関器と、第1の相関器出力のピークを検出するピーク検出回路とを有するマルチパス検出回路と、前記ピーク検出回路で検出した相関出力の最大ピーク位置を復調タイミングとして前記拡散符号を用いて逆拡散する第2の相関器と、前記マルチパス検出回路110で得られたシンボル周期の最大ピーク位置で第2の相関器の出力位相を検出する位相判定回路と、位相判定回路の出力に基づいて前記ベースバンド信号を復調する拡散符号復調器と、制御信号に対して波形等化を行う第1の等化器と、第1の等化器120の出力を入力し、送信データの波形等化を行う第2の等化器140とを有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する入力信号を復調するための信号処理装置であって、

前記入力信号を、I-Qコンステレーション上で表示されたI-Qベースバンド信号に変換するための直交復調器と、

前記I-Qベースバンド信号を前記拡散符号を用いて逆拡散するための第1の相関器と、前記拡散符号長を周期とするシンボル周期内で前記第1の相関器出力のピークを検出するピーク検出回路とを有するマルチパス検出回路と、

前記I-Qベースバンド信号を前記ピーク検出回路で検出した相関出力の最大ピーク位置を復調タイミングとして前記拡散符号を用いて逆拡散するための第2の相関器と、前記マルチパス検出回路で得られた前記シンボル周期の最大ピーク位置で当該第2の相関器の出力の位相を検出する位相判定回路と、当該位相判定回路の出力に基づいて前記I-Qベースバンド信号を復調する拡散符号復調器と、

前記直交復調器と前記拡散符号復調器の間に配置され、前記制御信号に対して波形等化を行う第1の等化器と、

前記第1の等化器の出力が入力され、前記送信データに対して波形等化を行う第2の等化器とを有し、

前記第1の等化器は第1のフィルタ係数を有する第1のフィルタから構成され、前記第1のフィルタ係数を更新する第1の更新部を含み、当該第1の更新部は前記第1のフィルタ係数を前記拡散符号の受信時に更新し、

前記第2の等化器は第2のフィルタ係数を有する第2のフィルタを使用し、前記第2のフィルタ係数を更新する第2の更新部を含み、当該第2の更新部は前記I-Qベースバンド信号の位相情報をに基づいて前記第2のフィルタ係数を前記送信データの受信時に更新することを特徴とする信号処理装置。

【請求項 2】

前記拡散符号はバーカー符号であり、前記所定の変調方式は、DBPSK、DQPSK又はCCKであることを特徴とする請求項1記載の信号処理装置。

【請求項 3】

前記信号処理装置は、

前記拡散符号復調器の前記位相判定回路の出力に基づいて基準位相を作成する基準位相生成部と、

前記拡散符号ビット毎の前記I-Qベースバンド信号と前記基準位相とを比較する比較部とを更に有し、

前記第1の等化器の前記第1の更新部は、前記比較部の比較結果に基づいて前記第1のフィルタ係数の更新を行うことを特徴とする請求項1記載の信号処理装置。

【請求項 4】

前記信号処理装置は、

前記拡散符号復調器の前記位相判定回路の出力に基づいて基準位相を作成する基準位相生成部と、

前記シンボル周期内の前記最大ピーク位置の信号成分の位相情報を前記基準位相と比較することによって得られた位相誤差情報をに基づいて、前記I-Qベースバンド信号の位相角度を調整する位相角度調整部とを更に有することを特徴とする請求項1記載の信号処理装置。

【請求項 5】

前記第1の等化器は、前記マルチパス検出回路で検出した2つの前記ピークのそれぞれに対して設けられ、

前記信号処理装置は、

前記2つのピークのいずれかを遅延させるための遅延回路と、

2つの前記第1の等化器の出力を合算するための加算器とを更に有し、

10

20

30

40

50

前記加算器の出力は、前記拡散符号復調器及び前記第2の等化器に供給されることを特徴とする請求項1記載の信号処理装置。

【請求項6】

前記第2の等化器は、

前記I-Qベースバンド信号の位相情報を格納する後方遅延タップと、

前記I-Qベースバンド信号と前記第2のフィルタとを乗算する第1の乗算器と、

前記後方遅延タップに格納された値と前記第2のフィルタとを乗算する第2の乗算器と

、前記第1及び第2の乗算器の出力を積算する積算器と、

前記I-Qベースバンド信号の位相情報に基づいて当該I-Qベースバンド信号の振幅誤差を取得して前記第2の更新部に出力する比較部とを更に有し、

前記信号処理装置は、前記第2の等化器の前記積算器の出力が入力され、前記送信データを復調する送信データ復調器を更に有することを特徴とする信号処理装置。

【請求項7】

拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する入力信号を復調する信号処理方法であって、

前記制御信号に対して、第1のフィルタ係数を有する第1のフィルタにより波形等化する第1の等化ステップと、

前記送信データに対して、第2のフィルタ係数を有する第2のフィルタにより波形等化する第2の等化ステップと、

前記第1及び第2のフィルタ係数を前記拡散符号が現れる周期としてのシンボル周期内で更新するステップとを有することを特徴とする信号処理方法。

【請求項8】

前記拡散符号はバーカー符号であり、前記所定の変調方式は、D B P S K、D Q P S K又はC C Kであることを特徴とする請求項7記載の信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般には、デジタル情報のスペクトラム拡散の復調に係り、特に、拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する信号の復調に関する。本発明は、例えば、拡散符号がバーカー(Barker)符号であり、所定の変調方式が補符号変調(「相補コードキー入力」ともいう。Complementary Code Keying: CCK)である場合に、無線LANのマルチパス遅延特性に対する受信性能向上に好適である。ここで、「CCK」とは、IEEE 802.11b準拠の2.4GHz帯利用の無線LANで使用され、最大11Mbpsのデータ伝送速度を実現する変調方式をいう。

【背景技術】

【0002】

従来、無線LAN装置などにおいてマルチパス遅延特性の性能向上のための技術として等化器(例えば、特許文献1、特許文献2参照)やレイク(RAKE)復調器(例えば、非特許文献1参照)が知られている。

【0003】

以下、図10及び図11を参照して従来の無線LAN装置の受信機200に搭載される等化器210について説明する。ここで、図10は特許文献1に記載される従来の無線LAN装置の受信機200の構成を示すブロック図であり、図11は受信機200に搭載される等化器210の構成を示すブロック図である。等化器210は、送信側において信号多重化のために複数のバーカー(Barker)符号で変調された信号の伝送路で発生する遅延歪みを除去するために使用される。また、バーカー符号でスペクトラム拡散された信号に対してマルチパスで発生した遅延波の影響を取り除く方法としてレイク復調器を利用する方法もある。

10

20

30

40

50

【0004】

ここで、「マルチパス」とは送信信号が建物や地形などの障害によって反射・回折し、端末が複数の経路から同じ電波を受信してしまうことをいう。マルチパスが生じると、端末が複数の異なる経路距離の電波を受信するため、波形に位相のずれが生じて、受信した電波にノイズが生じて受信信号に誤りが発生したり、符号の復号化ができなくなったりするなどの問題が発生する。

【0005】

図10に示した受信機200の動作について説明する。送信機からの出力信号が受信機200の入力端子202に入力されると、アナログ演算回路204がこれを増幅し、ベースバンド信号に変換する。次に、相関器206が変調信号に乗算されたバーカー符号と、受信機200内にある同じバーカー符号との間で相関を取る。相関器206は、相関結果に基づいた復調信号を等化器210に出力する。等化器210は、相関器206による相関結果に基づいて、信号から、伝送路において発生する遅延成分を取り除き、信号位置検出器220に出力する。信号位置検出回路220は、等化器210から出力された信号の信号位置を検出して、信号位置情報を復調器222と結合器224に出力する。復調器222は等化器210の出力と信号位置検出器220からの信号位置情報を用いて信号を復号する。復調器222で復号した信号は結合器224に出力される。結合器224では復調器222で復調された信号を信号位置検出器220の信号位置情報を用いて復調信号を結合し、出力端子226に出力する。

【0006】

図11を参照するに、等化器210は、相関器206から相関結果に基づいた信号を、遅延歪みの大きさに応じた値のタップ係数（フィルタ係数）を求めるタップ係数演算回路211と、入力信号から遅延歪みを取り除く等化演算回路217とに入力する。タップ係数演算回路211では送信データの前に送られるトレーニング信号（既知信号）を用いてマルチパスを分離し、このマルチパスの時間平均値を求めて図示しないメモリに記憶し、等化演算回路217のタップ係数として使用する。等化演算回路217は、減算器212と、入力信号に遅延の有無を判定する判定回路213と、判定回路213は遅延歪みがあると判断した信号を遅延させる遅延器214a～214cと、遅延器214a～214cからのそれぞれの出力にタップ係数を乗算する乗算器215a～215cと、乗算器215a～215cの出力を合算する加算器216で構成された判定帰還型等化器を構成している。

【0007】

次に、図12及び図13を参照してレイク復調器250について説明する。図12はレイク復調器250の構成を示すブロック図である。アンテナ252で受信した信号は、AGC回路254で受信レベルを一定にされた後、直交復調器256でI-Qベースバンド信号に変換される。変換されたI-Qベースバンド信号から、マルチパス検出回路258は、信号を伝送する能力の最小単位であるシンボルの長さを表すシンボル周期の遅延波プロファイルを求め、求めた遅延波プロファイルを元に相関器260a乃至260cのそれぞれに、レイク合成のための各遅延波情報T1、T2、T3を出力する。それぞれの相関器260a乃至260c内で得られた遅延波情報に基づいて遅延時間を補正して得られたI-Qの相関器出力は、ゲイン及び位相を修正する乗算器262a乃至262cによって、位相及びI-Qの振幅が修正される。加算器264は、それぞれの乗算器出力を合成してI-Q信号を取得し、差動位相復調器266がかかるI-Q信号をシンボルデータに復調する。

【0008】

図13にマルチパス検出回路258で求めた相関器出力のシンボル周期内の遅延波プロファイル例を示す。T1、T2、T3はマルチパス遅延波の遅延時間を示し、各相関器で与えられた遅延波の遅延時間補正して得たI-Q相関信号を乗算器262a、262b、262cに出力する。

【特許文献1】特開平9-102758号公報（第9頁の図1、及び、第11頁の図6）

10

20

30

40

50

【特許文献2】米国特許第6,233,273号公報に記載される「内蔵判定帰還型等化器を有するレイク受信機 (Rake Receiver with embedded Decision Feedback Equalizer)

【非特許文献1】科学技術出版、ディジタルコミュニケーション、ジョン・ジー・プロアキス (John G. Proakis) 著、第926頁

【発明の開示】

【発明が解決しようとする課題】

【0009】

上述した従来の等化器の構成は、IEEE規格802.11bに記述される11bitのバーカー符号を用いた変調信号やバーカー符号を用いた変調信号に続くCCKの復調において、次のような問題を有する。即ち、受信機200は、マルチパスの遅延波の影響を取り除くために相関器206が求めた相関結果を時間平均して等化器210のタップ係数を求めていたため、マルチパスが時間変化する場合は遅延歪みを除去しきれない。また、等化器210はバーカー符号で相関を取った後の信号を用いており、バーカー符号変調信号の後に続くCCK変調波には使用できない。一方、レイク復調器250も、トレーニング信号から遅延プロファイルを求め、求めた遅延プロファイルを用いてレイク合成するため、CCK変調波を受信中にマルチパスが変化する場合、良い結果が得られない。また遅延間隔が小さい場合、各遅延波のI-Q位相情報が各々の遅延波の影響で不正確になりやすい。この結果、いずれの受信機においても受信信号に誤りが発生したり、復号化ができなくなったりする。

【0010】

本発明は、上述したような従来技術が有する問題点を解決するためになされたものであり、拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する信号をマルチパス等の遅延波の影響を受ける環境において、安定して復調することができる信号処理装置及び方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の一側面としての信号処理装置は、拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する入力信号を復調するための信号処理装置であって、前記入力信号を、I-Qコンステレーション上で表示されたI-Qベースバンド信号に変換するための直交復調器と、前記I-Qベースバンド信号を前記拡散符号を用いて逆拡散するための第1の相関器と、前記拡散符号長を周期とするシンボル周期内で前記第1の相関器出力のピークを検出するピーク検出回路とを有するマルチパス検出回路と、前記I-Qベースバンド信号を前記ピーク検出回路で検出した相関出力の最大ピーク位置を復調タイミングとして前記拡散符号を用いて逆拡散するための第2の相関器と、前記マルチパス検出回路で得られた前記シンボル周期の最大ピーク位置で当該第2の相関器の出力の位相を検出する位相判定回路と、当該位相判定回路の出力に基づいて前記I-Qベースバンド信号を復調する拡散符号復調器と、前記直交復調器と前記拡散符号復調器の間に配置され、前記制御信号に対して波形等化を行う第1の等化器と、前記第1の等化器の出力が入力され、前記送信データに対して波形等化を行う第2の等化器とを有し、前記第1の等化器は第1のフィルタ係数を有する第1のフィルタから構成され、前記第1のフィルタ係数を更新する第1の更新部を含み、当該第1の更新部は前記第1のフィルタ係数を前記拡散符号の受信時に更新し、前記第2の等化器は第2のフィルタ係数を有する第2のフィルタを使用し、前記第2のフィルタ係数を更新する第2の更新部を含み、当該第2の更新部は前記I-Qベースバンド信号の位相情報に基づいて前記第2のフィルタ係数を前記送信データの受信時に更新することを特徴とする。かかる信号処理装置は、だい2の等化器には拡散符号変調波受信時におけるマルチパスの遅延波の影響や符号間干渉を取り除いたI-Qベースバンド信号が入力する。第1及び第2の等化器のフィルタ係数(タップ係数)がマルチパス等の影響に応じて更新可能であるので時間

10

20

30

40

50

変化する遅延歪みを除去して信号認識の誤りなどの問題を除去することができる。

【0012】

前記拡散符号は、例えば、バーカー符号であり、前記所定の変調方式は、例えば、D B P S K (D i f f e r e n t i a l B i n a r y P h a s e S h i f t K e y i n g) 、D Q P S K (D i f f e r e n t i a l Q u a t e r n a r y P h a s e S h i f t K e y i n g) 又はC C Kである。

【0013】

前記信号処理装置は、前記拡散符号復調器の前記位相判定回路の出力に基づいて基準位相を作成する基準位相生成部と、前記拡散符号ビット毎の前記I-Qベースバンド信号と前記基準位相とを比較する比較部とを更に有し、前記第1の等化器の前記第1の更新部は、前記比較部の比較結果に基づいて前記第1のフィルタ係数の更新を行ってもよい。これにより、基準位相は自己相関性に優れた情報を使用することができる。

10

【0014】

前記信号処理装置は、前記拡散符号復調器の前記位相判定回路の出力に基づいて基準位相を作成する基準位相生成部と、前記シンボル周期内の前記最大ピーク位置の信号成分の位相情報を前記基準位相と比較することによって得られた位相誤差情報をに基づいて、前記I-Qベースバンド信号の位相角度を調整する位相角度調整部とを更に有してもよい。位相角度調整部がI-Qベースバンド信号の位相角度を調整するので、第1の等化器による等化動作を高速にすることができる。

【0015】

前記第1の等化器は、前記マルチパス検出回路で検出した2つの前記ピークのそれぞれに対して設けられ、前記信号処理装置は、前記2つのピークのいずれかを遅延させるための遅延回路と、2つの前記第1の等化器の出力を合算するための加算器とを更に有し、前記加算器の出力は、前記拡散符号復調器及び前記第2の等化器に供給されてもよい。加算器は2つの第1の等化器の出力を加算してレイク合成を実施し、マルチパス遅延波の強度が主信号に対して同等レベルに近い場合、拡散符号復号のための相関値が向上する。

20

【0016】

前記第2の等化器は、前記I-Qベースバンド信号の位相情報を格納する後方遅延タップと、前記I-Qベースバンド信号と前記第2のフィルタとを乗算する第1の乗算器と、前記後方遅延タップに格納された値と前記第2のフィルタとを乗算する第2の乗算器と、前記第1及び第2の乗算器の出力を積算する積算器と、前記I-Qベースバンド信号の位相情報をに基づいて当該I-Qベースバンド信号の振幅誤差を取得して前記第2の更新部に出力する比較部とを更に有し、前記信号処理装置は、前記第2の等化器の前記積算器の出力が入力され、前記送信データを復調する送信データ復調器を更に有してもよい。かかる信号処理装置によれば、第2の等化器は、第1の等化器で低減し切れなかったマルチパス遅延波成分を低減することができる。後方遅延タップに保存される値が一定値に制限されるため、第2の等化器の動作が安定する。

30

【0017】

本発明の別の側面としての信号処理方法は、拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する入力信号を復調する信号処理方法であって、前記制御信号に対して、第1のフィルタ係数を有する第1のフィルタにより波形等化する第1の等化ステップと、前記送信データに対して、第2のフィルタ係数を有する第2のフィルタにより波形等化する第2の等化ステップと、前記第1及び第2のフィルタ係数を前記拡散符号長を周期とするシンボル周期内で更新するステップとを有することを特徴とする。かかる信号処理方法は、上述の信号処理方法と同様の作用を奏し、ハードウェア又はソフトウェアとして具体化される。上述のように、前記拡散符号は、例えば、バーカー符号であり、前記所定の変調方式は、D B P S K 、D Q P S K 又はC C K であってもよい。

40

【0018】

本発明の更なる目的又はその他の特徴は、以下、添付図面を参照して説明される好まし

50

い実施例によって明らかにされるであろう。

【発明の効果】

【0019】

本発明によれば、拡散符号でスペクトラム拡散した制御信号と、当該制御信号に続き、所定の変調方式で変調された送信データとを有する信号をマルチパス等の遅延波の影響を受ける環境において安定して復調することができる信号処理装置及び方法を提供することができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態の受信機100を、図面を参照して説明する。ここで、図1は本発明の第1の実施形態の受信機100を示す概略ブロック図である。本実施形態は、送信機と受信機からなる無線LANを想定している。送信機はバーカー符号でスペクトラム拡散した制御信号と、制御信号に続き、CCKで変調された送信データとを有する信号を無線信号として送信し、受信機は無線信号として当該信号を受信する。送信機は、IEEE規格802.11bの方式に基づいて変調するので、ここでは図示及び説明を省略する。

10

【0021】

本出願において、受信機（又は信号処理装置）は、LSIなどの半導体装置及びそれを備えた電子機器（例えば、無線LAN装置）をカバーする概念であり、本発明の信号処理方法はハードウェア又はソフトウェアのいずれによって具体化されてもよい。受信機100は、図1に示すように、アンテナ102、自動利得制御（Automatic Gain Control: AGC）回路104、直交復調器106、自動周波数制御（Automatic Frequency Control: AFC）回路108、マルチパス検出回路110、等化器120、バーカー符号復調器130、等化器140、CCK復調器150、複号器160とを有する。

20

【0022】

アンテナ102は、図示しない送信機から送信された変調信号を受信する。AGC回路104は、アンテナ102から信号を受信するようにアンテナ102に接続され、入力信号レベルが変化しても出力信号レベルが一定になるようになる。

20

【0023】

直交復調器106は、AGC回路104から信号を受信するようにAGC回路104に接続され、入力信号を、変調前のベースバンド信号であってI-Qコンステレーション上で表示された複素（I-Q）ベースバンド信号に変換する。また、直交復調器106は、最大ピーク点の相関I-Q信号より最大ピーク点の位相情報を求める。

30

【0024】

AFC回路108は、直交復調器106をフィードバック制御するように直交復調器106に接続され、周波数を一定に維持する。即ち、AFC回路108はI-Qベースバンド信号より周波数ズレを計算して周波数ズレ成分を直交復調器106に出力する。直交復調器106は、AFC回路108からの周波数ズレ成分を用いて図示しない送信機と受信機100と間の周波数ズレを補正する。

40

【0025】

マルチパス検出回路110は、直交復調器106によって復調されたI-Qベースバンド信号を受信するように直交復調器106に接続され、I-Qベースバンド信号と11b bitのバーカー符号との相関演算を実施し、得られた相関値より最大ピークを検出し、シンボル周期内におけるバーカー復号の復号タイミング（又はシンボルタイミング）と等化器120へ入力するI-Qベースバンド信号のサンプルタイミング（又はチップタイミング）を求める。チップとは拡散コードの伝送速度の単位であり、例えば、バーカー符号1ビットに対応する。シンボルは、信号伝送能力の最小単位であり、例えば、バーカー符号11ビットに対応する。

【0026】

50

より具体的には、マルチパス検出回路 110 は、I-Q ベースバンド信号をバーカー符号を用いて逆拡散するための相関器 112 と、バーカー符号長を周期とするシンボル周期内で相関器 112 の出力のピークを検出するピーク検出回路 114 とを有する。

【0027】

等化器 120 は、直交復調器 106 によって復調された I-Q ベースバンド信号を受信するように直交復調器 106 に接続され、制御信号に対して波形整形を行う。等化器 120 は、本実施形態では、有限時間インパルス応答 (Finite-duration Impulse Response: FIR) フィルタで構成された複素等化器であり、インパルス応答波形を入力するとある有限時間だけ出力を生成する。

【0028】

等化器 120 の構造を図 2 に示す。図 2 に示すように、遅延タップ (レジスタ) (D [0-17]) 121 と、タップ係数格納部 (C [0-8]) 122 と、乗算器 123a 及び 123b と、積算器 124a 乃至 124c と、タップ修正係数保持レジスタ (Coeff_corr [0-6]) 126 と、基準位相生成部 127 と、I-Q 出力保持レジスタ 128a と、基準位相レジスタ 128b と、比較器 129 とを有する。また、本実施形態では、位相角度調整部 118 を遅延タップ 121 の前段に設けている。位相角度調整部 118 は、等化器 120 とマルチパス検出回路 110 の間に配置されてもよいし、両者のいずれかと一体に構成されてもよい。

【0029】

位相角度調整部 118 は、マルチパス検出回路 106 で得られたシンボル周期内の最大ピーク位置における I-Q 相関信号の位相情報を後述するシンボル位相判定用の基準位相と比較し、得られた位相誤差情報を I-Q ベースバンド信号の初期位相誤差として等化器動作時に 1 度設定し、これに基づいて、直交復調器 106 からの I-Q ベースバンド信号の位相角度を一律に調整する。これにより、等化器 120 の位相誤差に対する等化器の修正が迅速に行える。

【0030】

I-Q ベースバンド信号は遅延レジスタ 121 に入力し、I-Q ベースバンド信号が周期的に入力される毎に遅延レジスタ 121 のデータは入れ替わる。I-Q ベースバンド信号が入力する毎に、遅延タップ 121 の出力とタップ係数格納部 122 に格納されたタップ係数をタップ毎に乗算器 123a において乗算する。乗算器 123a は、乗算結果を積算器 124c に送る。積算器 124c は乗算結果を積算し、複素計算を行って I-Q ベースバンド信号をバーカー復調器 130 に出力すると同時に、等化器 120 内の 11chip 分の I-Q 出力保持レジスタ 128a に保存する。

【0031】

バーカー符号復調器 130 は、積算器 124c からの I-Q ベースバンド信号をマルチパス検出器 110 から得られた復号タイミング情報に等化器 120 の遅延タップによる時間遅延分を加算したタイミングでバーカー符号の復調を行う。バーカー符号復調器 130 は、図 3 に示すように、相関器 132 と、位相判定回路 134 と、差動復号器 136 とを有する。ここで、図 3 は、バーカー符号復調器 130 のブロック図である。

【0032】

相関器 132 は、積算器 124c からの I-Q ベースバンド信号を受信し、ピーク検出回路 110 で検出した相関出力の最大ピーク位置を復調タイミングとしてバーカー符号を用いて逆拡散する。位相判定回路 134 は、マルチパス検出回路 110 で得られたシンボル周期の最大ピーク位置で、バーカー符号で相関を取ったとの I-Q 信号で位相領域判定を行い、基準位相を生成し、得られたシンボル位相判定結果を等化器 120 の基準位相生成部 127 に送信する。図 4 に、相関出力 (I-Q 信号) の位相判定例を示す。差動復号器 130 は、1 シンボル前の位相判定結果と今回の位相判定結果の差分位相を求め、差動位相復号を行い、得られたビット情報を復号器 160 に送る。

【0033】

再び図 2 に戻って、等化器 120 の基準位相を基準位相生成部 127 は、バーカー復調

10

20

30

40

50

器 130 の位相判定回路 134 からのシンボル位相判定結果に基づいて 11chip タイミング分の基準位相を生成し、基準位相レジスタ 128b に格納する。

【0034】

比較部 129 は、チップタイミング毎に I-Q 出力保持レジスタ 128a と基準位相レジスタ 128b に格納された 11chip タイミング分の基準位相からの誤差を以下の数式 1 に基づいて算出し、かかる誤差を乗算器 123b に出力する。

【0035】

【数 1】

$$Equ_err[i] = E[11-i] - Br[11-i]$$

10

乗算器 123b は、I-Q 出力保持レジスタ 128a に保存した出力データを作成したときに使用した遅延タップ 121 の I-Q ベースバンド信号を用いて遅延タップ毎のタップ修正係数を以下の数式 2 によって算出し、タップ修正係数保持レジスタ 126 に保存する。

【0036】

【数 2】

$$Coff_corr[tap] = \sum_{i=0}^{n=10} (Equ_err[11-i] * D[11+tap+i])$$

20

加算器 124b は、かかるタップ修正係数を積算し、積算結果をタップ修正係数保持レジスタ 126 に格納する。11chip 分の遅延タップ毎の修正係数が求まると、バーカー復調器 130 のシンボル復調タイミング毎に等化器 120 のタップ係数格納部 122 のタップ係数を修正する。タップ係数の修正が完了した時点で、タップ修正係数保持レジスタ 126 はクリアされ、次のシンボルに対するタップ修正係数の保持準備に入る。等化器 120 は上記の動作をバーカー符号変調波を受信している間継続することにより、マルチパス遅延による遅延波の影響を取り除くことができ、良好な受信結果が得られる。

【0037】

図 5 に、この時のバーカー符号復調器 130 におけるバーカー相関出力波形（パワー成分）を示す。同図に示すように、等化器 120 はバーカー符号復調器 130 の復号タイミングに合わせてタップ係数更新のための処理を実施し、11chip 分の処理が完了し、次のバーカー符号復調器 130 の復号タイミングの前までにタップ係数を更新する動作をバーカー符号毎に実施する。

30

【0038】

バーカー変調波の後に続いて CCK 変調波を受信する場合、等化器 120 はタップ係数更新動作を停止し、かつ、タップ係数を保持し FIR フィルタとして動作する。CCK 変調波は、FIR フィルタとして動作する等化器 120 においてバーカー変調波受信時における固定的なマルチパス遅延波の影響や符号間干渉を取り除いた I-Q ベースバンド信号を CCK 変調波用の等化器 140 に入力する。

40

【0039】

以下、等化器 140 について図 6 を参照して説明する。等化器 140 は、本実施形態では FIR フィルタとして具体化され、図 6 に示すように、遅延タップ（レジスタ） 141 と、乗算器 142a 及び 142b と、タップ係数格納部 143 と、積算器 144a 及び 144b と、位相領域判定部 145 と、比較部 146 と、後方タップ 147 とを有する。

【0040】

遅延タップ 141 は、チップタイミング毎に入力した I-Q ベースバンド信号を保存する。乗算器 142b は、I-Q ベースバンド信号とタップ係数格納部 143 のタップ係数を乗算する。積算器 144b は、乗算器 142b からのタップ単位の乗算結果を積算し、積算によって得た I-Q ベースバンド信号を位相領域判定部 145、比較器 146 及び C

50

CK復調器150に出力する。位相領域判定部145は、チップタイミング毎に出力されるI-Qベースバンド信号を位相判定し、得られた位相領域判定値を比較部146と後方タップ147に出力する。比較部146は、位相領域判定値とI-Qベースバンド信号との差であるI-Q振幅誤差を求め、乗算器142aに出力する。これにより、乗算器142aはタップ係数を修正する。後方遅延タップ147は、位相領域判定値を格納する。

【0041】

CCK復調器150は、例えば、ウアルシュ関数(Walsh Function)を使用してCCKを復調する。復号器160は、送信データをシリアルデータとして復号する。

【0042】

以上の構成により、等化器120のタップ係数が停止しても、等化器140は、等化器120で低減し切れなかったマルチパス遅延波成分を低減することができる。また、後方タップ147に保存される値が一定値に制限されるため等化器140の動作安定性を向上することができる。以上説明したように、バーカー変調波に続くCCK変調波を受信した場合においても、この等化器140を用いることにより、CCK信号受信時のマルチパス遅延成分を削減するように動作することでCCK変調波に対して良好な受信結果が得られる。

【0043】

次に、本発明の第2の実施形態の受信機100Aを図7を参照して説明する。ここで、図7は、受信機100Aの概略ブロック図である。受信機100Aは、アンテナ102、AGC回路104、直交復調器106、AFC回路108、マルチパス検出回路110A、等化器120A及び120B、バーカー符号復調器130A、等化器140A、CCK復調器150A、復号器160A、遅延回路170、加算器180とを有する。アンテナ102からAFC回路108までの動作は受信機100と同一であるため説明は省略する。また、等化器120Aなど参照符号にアルファベットを付したもののはアルファベットのない参照符号と同様の構成を有する。

【0044】

直交復調器106から出力されたI-Qベースバンド信号は、マルチパス検出回路110A、等化器120A及び遅延回路170に入力される。マルチパス検出回路110Aでは、復調したI-Qベースバンド信号とバーカー符号を相関器にて相関を求め、相関器出力のシンボル周期内の最大出力ピーク位置とピークパワー値、及び、第2のピーク位置とピークパワー値を求める。第2のピークパワー値が、第1のピークパワー値の、例えば、1/2以上のパワーがあるとき、第1のピークと第2のピークのマルチパス遅延時間差Tdを遅延回路170に出力すると共に、第1のピーク位置のI-Qより求めた位相と、第2のピーク位置のI-Qより求めた位相の位相差分 $\Delta\phi$ を遅延回路170に出力する。遅延回路170はマルチパス検出回路110Aからのマルチパス遅延時間差情報で遅延タップのタップ数を設定し、かつ入力されるI-Qベースバンド信号に対してマルチパス検出回路110Aからの位相差分 $\Delta\phi$ を位相回転させ、等化器120Bに出力する。

【0045】

図8に、この時のマルチパス検出回路110Aのバーカー符号相関出力波形に示す。同図に示すように、等化器120Aと120BのI-Qベースバンド信号は、マルチパス遅延時間差情報Tdと位相情報で、第1のピークに対するバーカー相関出力と第2のピークに対するバーカー相関出力のピーク位置とI-Qベースバンド信号の位相が合わせられる。例えば、等化器120Aは第2のピーク位置が最大ピークになるように動作し、等化器120Bは第1のピークが最大になるように等化器のタップ係数が修正される。

【0046】

図9に、等化器120A及び120Bにてタップ係数の修正を実施した場合の等化器120A及び120Bより出力されたI-Qベースバンド信号をバーカー符号で相関を求めたときのピークパワーの変化を示す。

【0047】

10

20

30

40

50

図9に示すバーカー相関値を出力する等化器120A及び120BのI-Qベースバンド信号出力は加算器180にて加算され、加算されたI-Qベースバンド信号をバーカー符号復調器130Aに入力する。バーカー符号復調器130Aは入力されたI-Qベースバンド信号をバーカー符号との相関器に入力し、相関器出力をマルチパス検出回路110Aからの符号復調位置情報に等化器のタップ遅延時間分遅らせた復号位置で位相判定し復号する。等化器120A及び120Bはバーカー符号復調器130Aのシンボル位相判定情報に基づいてタップ係数を更新するための必要な処理を行う。以後、バーカー符号受信中は継続して等化器120A及び120Bのタップ係数の更新を行う。等化器120A及び120Bはバーカー符号受信中継続してタップ係数を修正するため、マルチパス特性が変化しても等化器のタップ係数を修正することで時間経過とともに変化するマルチパス特性に対応できる。また、タップ係数を修正するための基準位相は自己相関性に優れたバーカー符号の相関器出力のシンボル判定情報に基づいて11ビットのバーカー符号単位の位相判定値を作成し、バーカー符号のビット単位のI-Q信号誤差を求め、タップ係数修正のため処理を1シンボル(11ビット)継続して実施し、タップ係数修正のためのタップ修正値を積算する。この積算処理によりタップ修正値が平均化され、等化器のタップ係数が安定に更新される。また、等化器120A及び120Bの出力を加算することで、レイク合成を実施しているため、マルチパス遅延波の強度が主信号に対して同等レベルに近い場合、等化器単体の時と比較し、バーカー復号のための相関値が向上するため、良い結果が得られる。次に、バーカー符号変調された信号の後に続く送信データがCCKの場合、CCK信号が入力された時点で前記の等化器120A及び120Bはタップ係数の更新を停止し、加算器180の出力を等化器140に入力する。以降の動作は、受信機100と同様であるため、説明は省略する。

【0048】

第1及び第2の実施形態の等化器120、120A及び120Bは、サンプルタイミングで等化器120にI-Qベースバンド信号を入力しているが、1/2チップ周期で入力しても問題はない。サンプルを間引いた時間を補正してバーカー復号タイミングを作成することで対処できる。同様に、チップ周期でI-Qベースバンド信号を入力してもよい。また、等化器140及び140Aはチップ周期で動作する等化器である。等化器120、120A及び120Bがサンプル周期又は1/2チップ周期でデータを出力する場合、等化器140及び140Aの入力端でチップ周期の信号に間引いて等化器140及び140Aに入力する。この時、チップ周期のタイミングはマルチパス検出回路110Aで検出したバーカー信号相関値の第1のピークに合わせたチップタイミングで取り込む。

【0049】

以上説明したように、バーカー変調波用の等化器とCCK変調波用等化器を具備することにより、まず、マルチパスによって発生する遅延波に対し、バーカー変調波用等化器で遅延波成分を低減し、CCK変調波に対しては、チップ動作する等化器を使用することでバーカー等化器で排除できなかった符号干渉波成分を除去できるので従来の復調器と比較してより良い復調器を提供することができる。

【0050】

本発明で使用されている等化器は複素信号を扱うものであるので等化器のタップ係数更新における演算方法は複素形式である。また、等化器のタップ係数の更新に伴うタップ収束係数の乗算は、一般的なものであるため図示していない。

【0051】

以上、本発明の好ましい実施形態について説明したが、本発明はこれらの実施形態に限定されないことはいうまでもなく、その要旨の範囲内で種々の変形及び変更が可能である。例えば、本発明の拡散符号は、擬似雑音符号などバーカー符号に限定されない。

【図面の簡単な説明】

【0052】

【図1】本発明の第1の実施形態の受信機の概略ブロック図である。

【図2】図1に示す受信機の等化器の概略ブロック図である。

10

20

30

40

50

【図3】図1に示すバーカー符号復調器の概略ブロック図である。

【図4】図3に示すバーカー符号復調器の位相判定回路が生成する基準位相の例を示す図である。

【図5】図3に示すバーカー復調器のバーカー符号相關出力を示す図である。

【図6】図1に示す受信機の図2に示す等化器とは別の等化器の概略ブロック図である。

【図7】本発明の第2の実施形態の受信機の概略ブロック図である。

【図8】図7に示す受信機のマルチパス検出回路におけるバーカー符号相關出力を示す図である。

【図9】図7に示す受信機の等化器から出力されるバーカー符号の相關結果を示す図である。

【図10】従来の受信機の概略ブロック図である。

【図11】図10の受信機に搭載される等化器の構成を示すブロック図である。

【図12】従来の別の受信機の概略ブロック図である。

【図13】図12に示す受信機のマルチパス検出回路で求めた相關器出力のシンボル周期内の遅延波プロファイル例である。

【符号の説明】

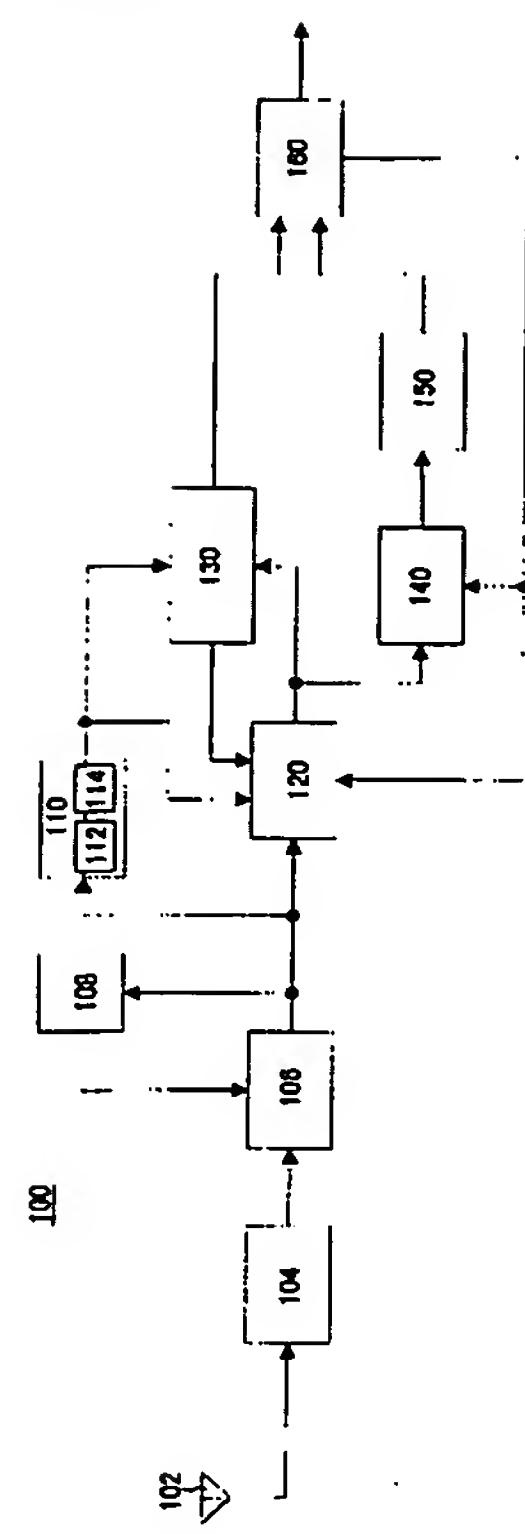
【0053】

1 0 0 、 1 0 0 A	受信機
1 0 6	直交復調器
1 1 0	マルチパス検出回路
1 2 0 、 1 2 0 A 、 1 2 0 B	等化器
1 3 0 、 1 3 0 A	バーカー復調器
1 4 0 、 1 4 0 A	等化器
1 5 0 、 1 5 0 A	C C K復調器
1 6 0 、 1 6 0 A	復号器
1 7 0	遅延回路
1 8 0	加算器

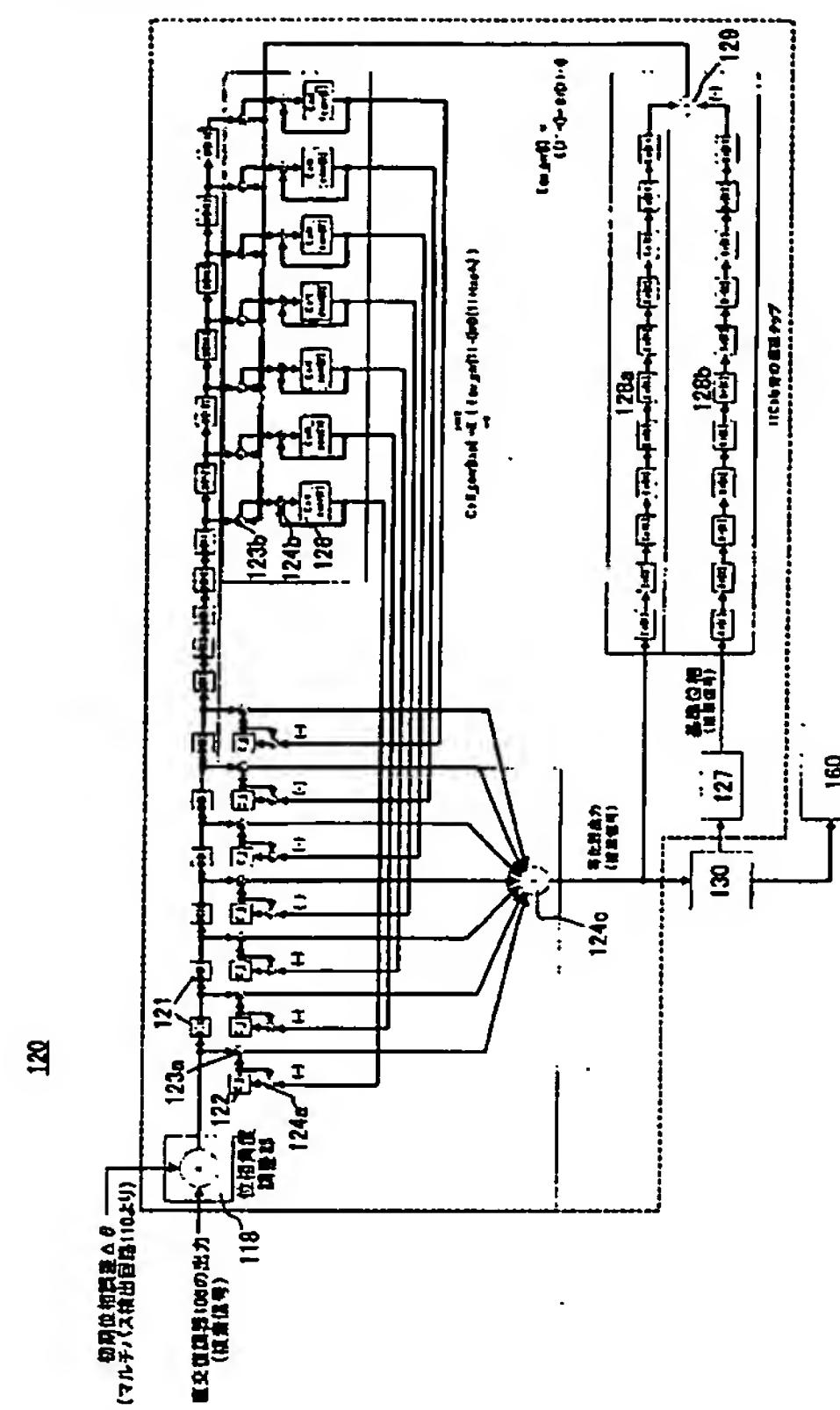
10

20

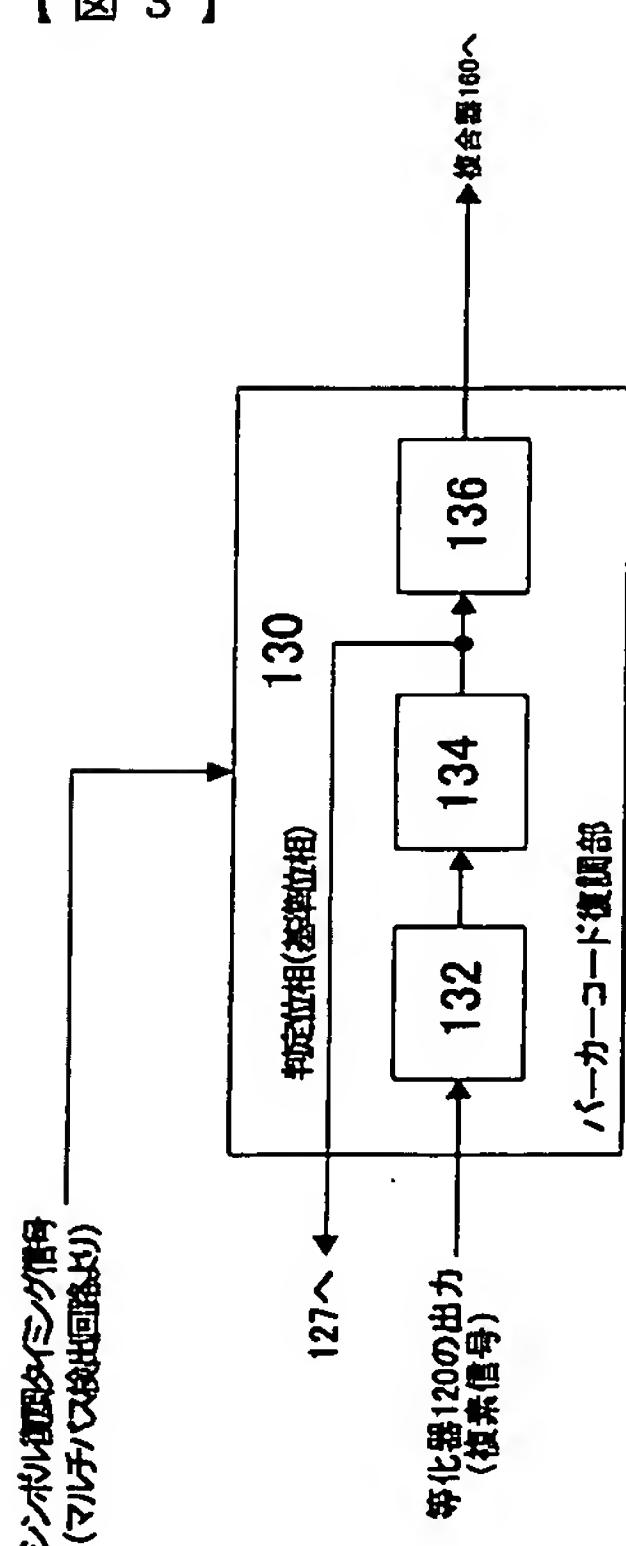
【図1】



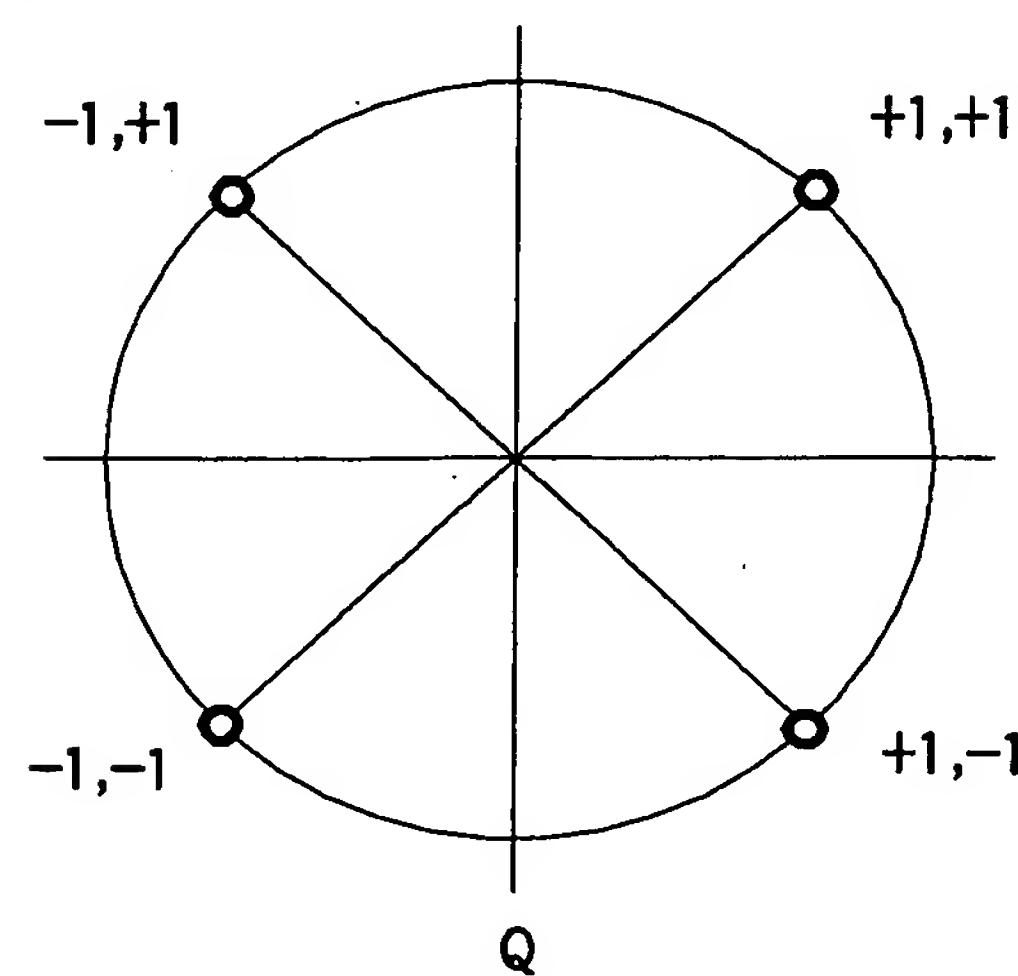
【図2】



【図3】

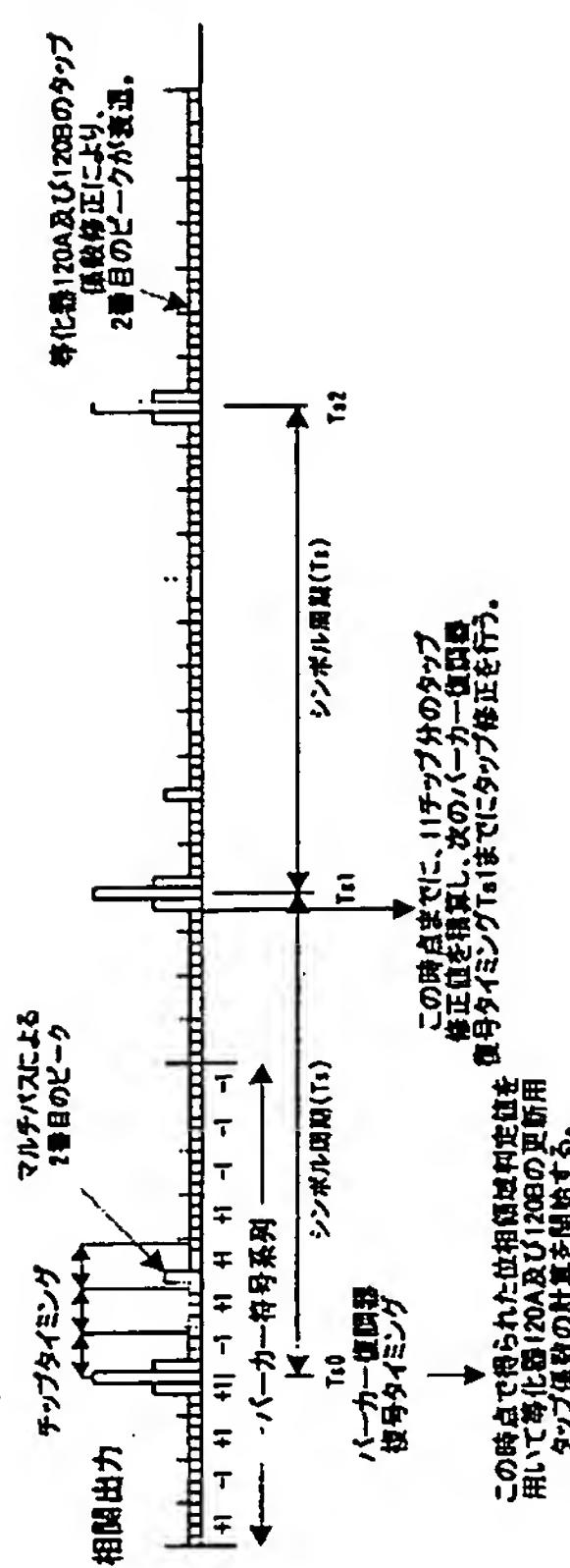


【図4】

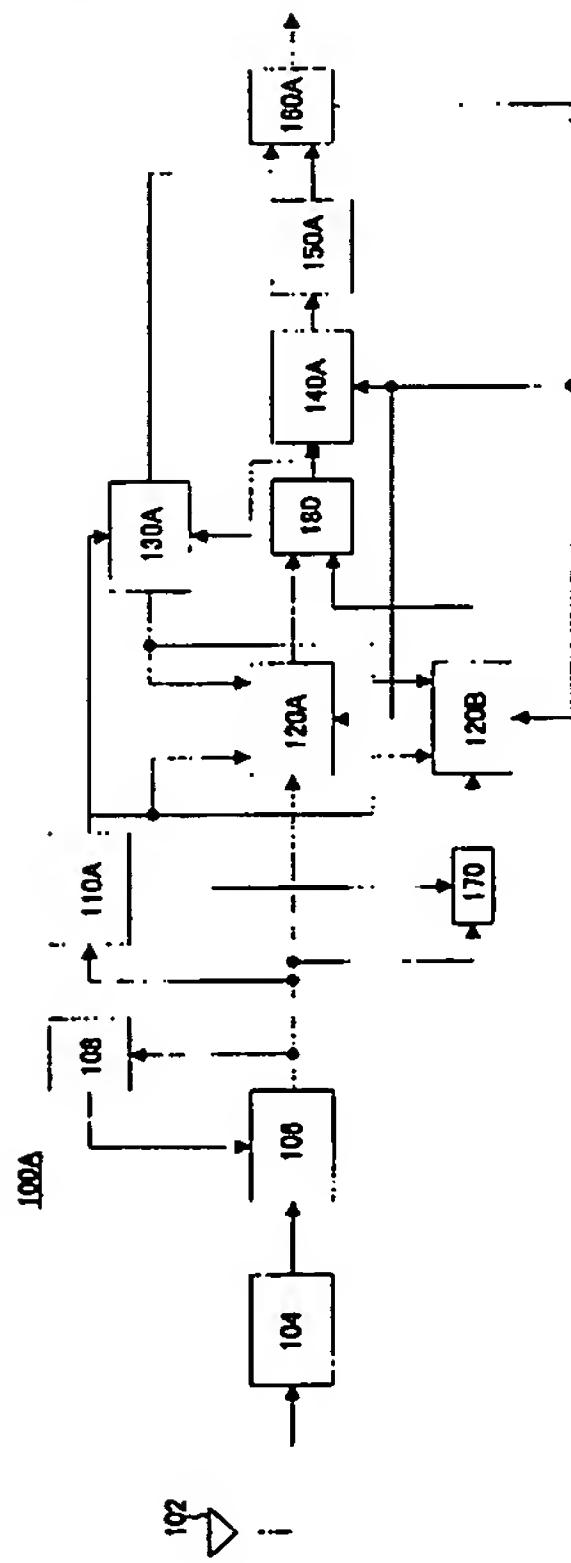


位相判定ブロックの基準位相の例
(QPSK)

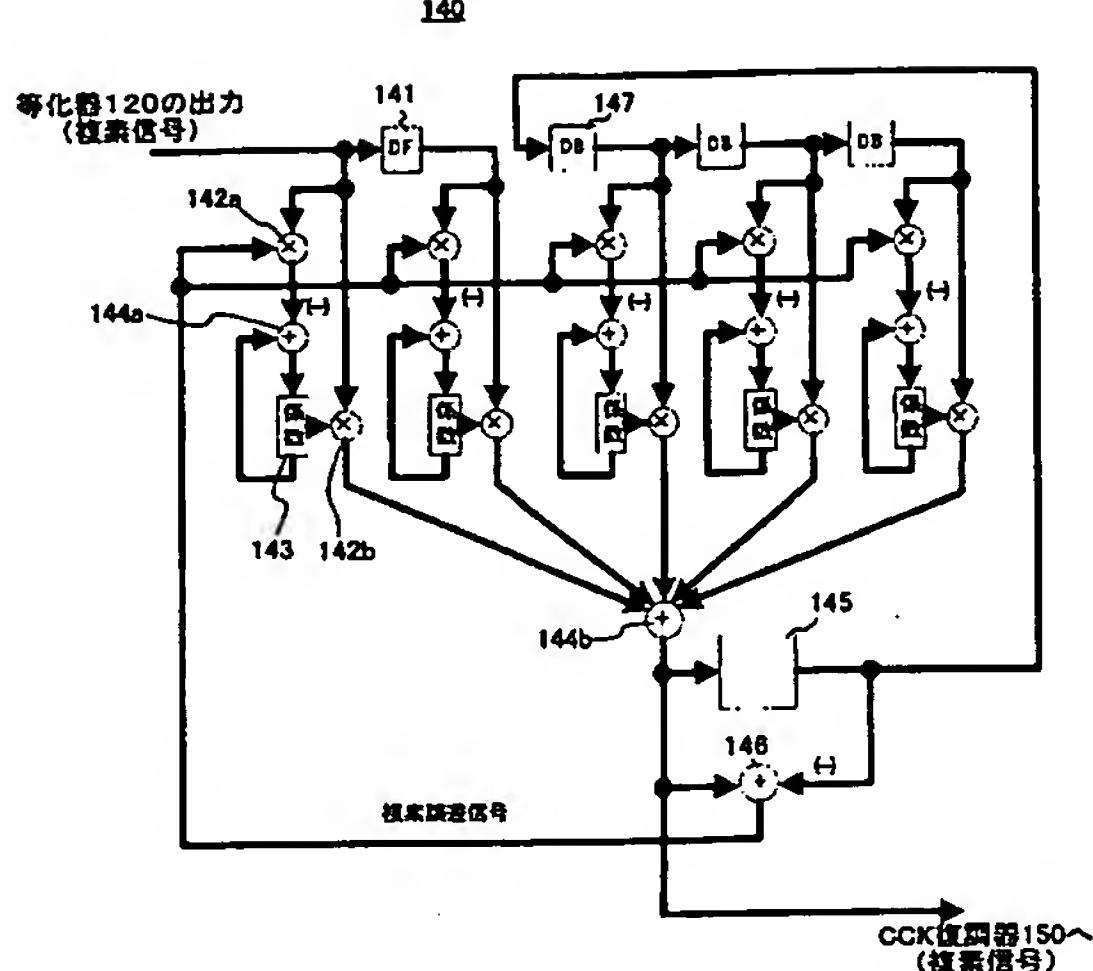
[5]



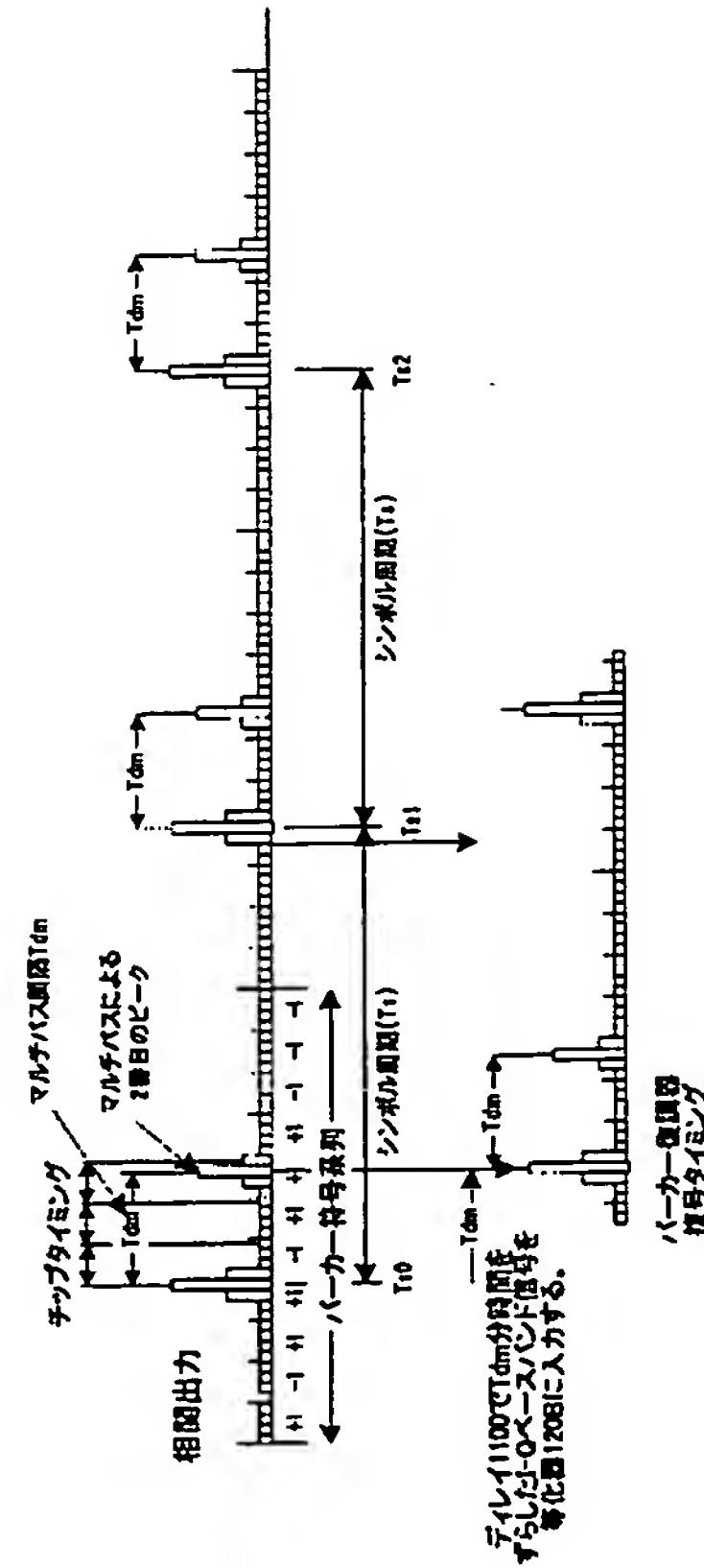
[図 7]



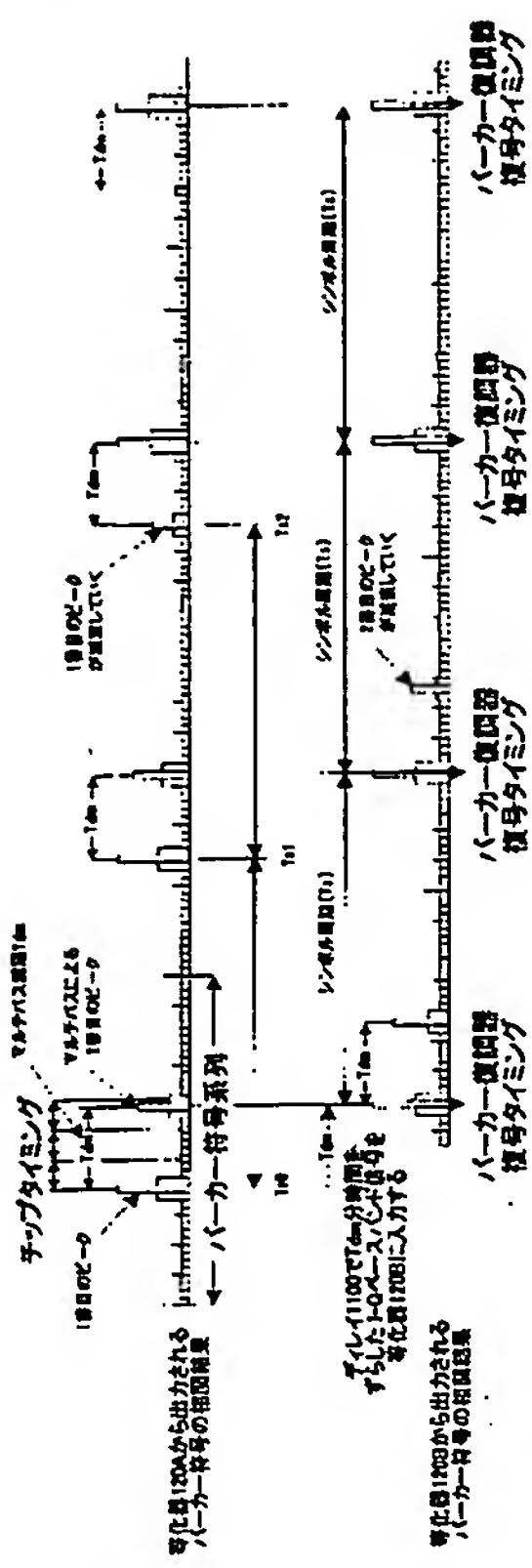
[6]



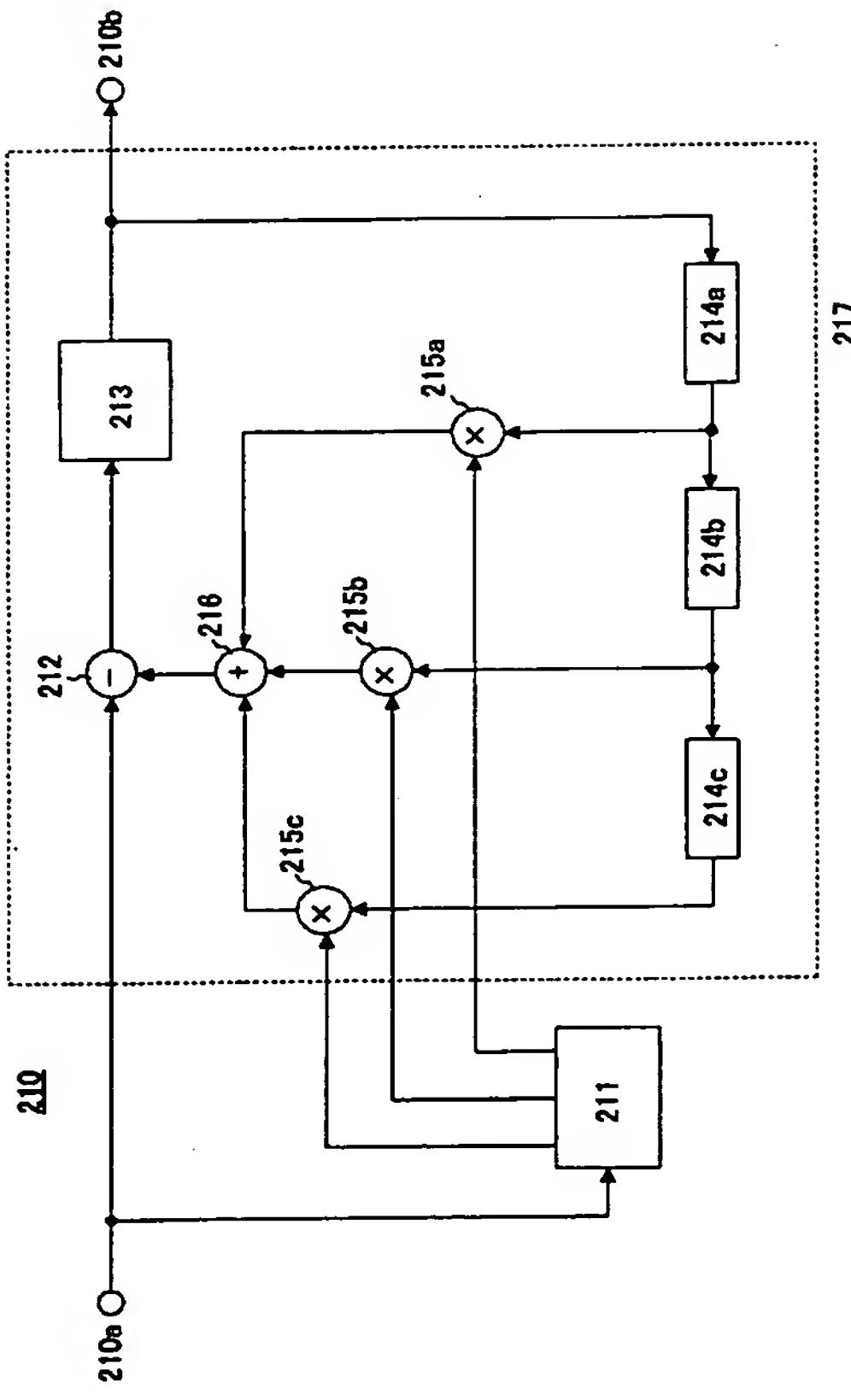
[8]



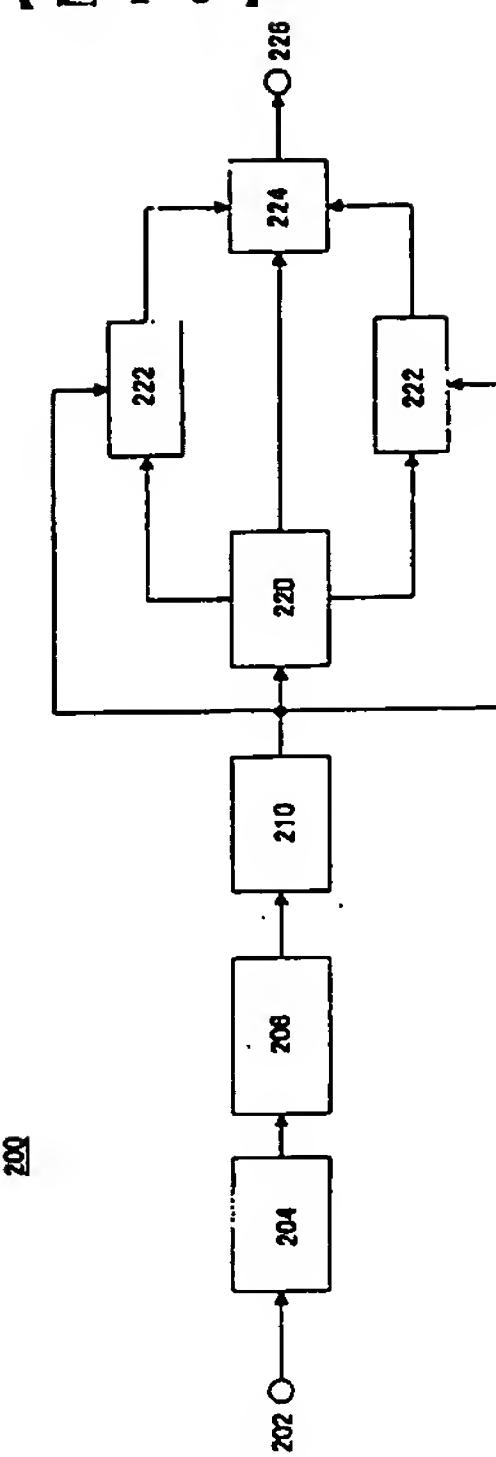
[9]



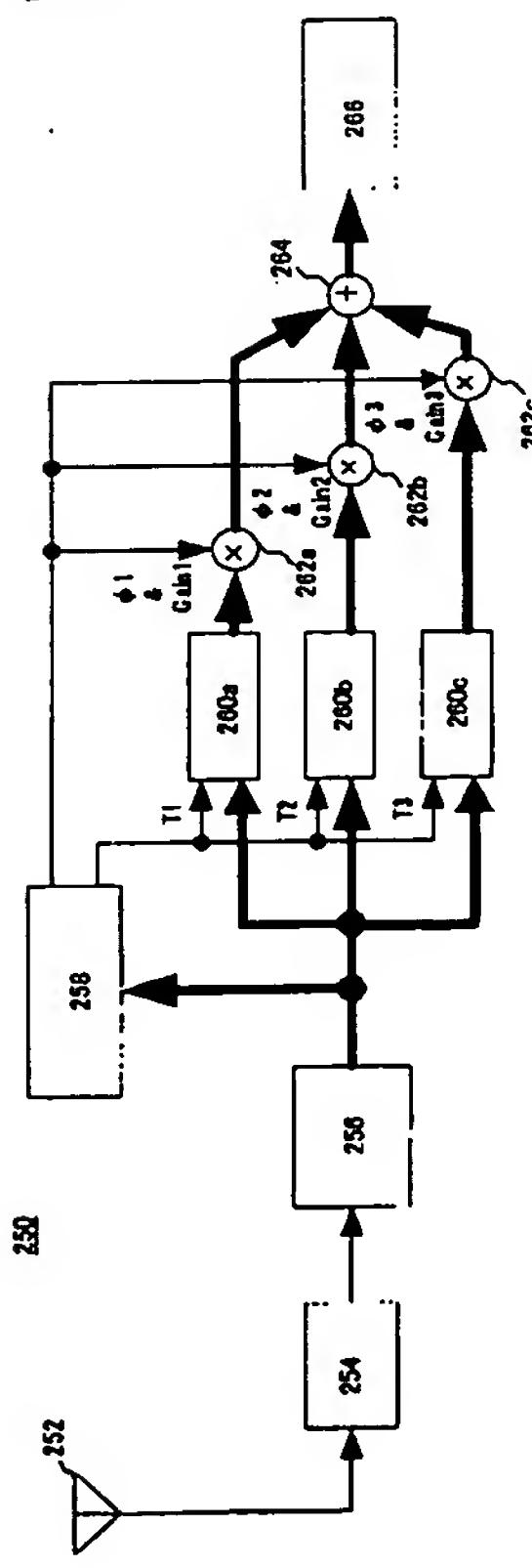
[四 11]



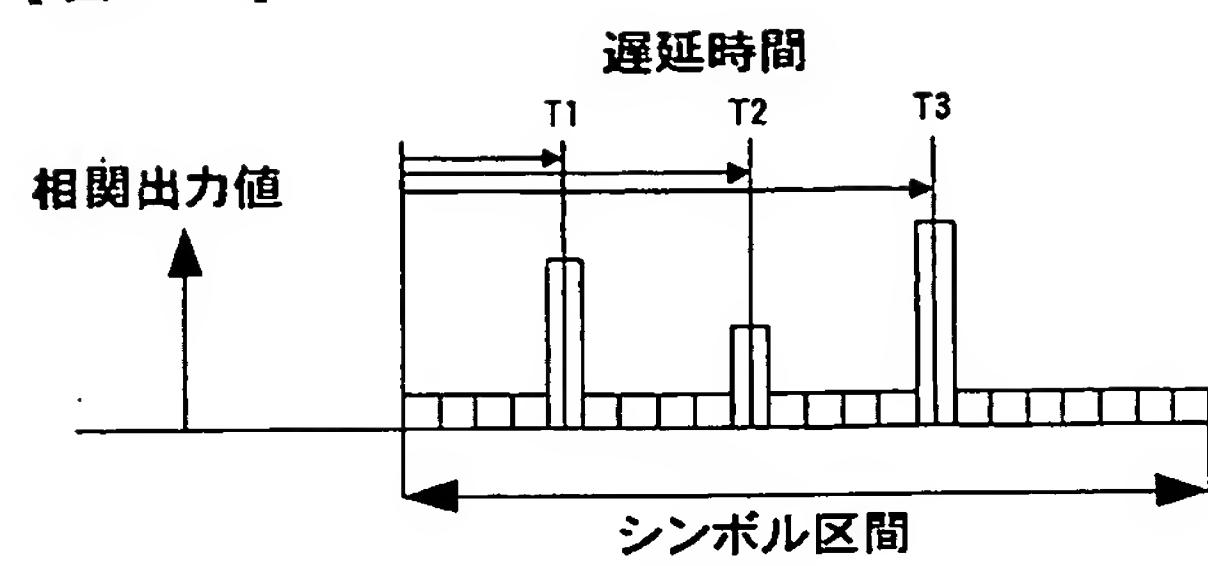
[四 10]



【四 12】



【図13】



フロントページの続き

(72)発明者 佐藤 拓朗

東京都中央区八丁堀2-8-5第二長岡ビル10階キーストリーム株式会社内

F ターム(参考) 5K004 AA05 FG00 FG02 FG04

5K022 EE01 EE21 EE25 EE31 EE35

5K046 AA05 EE06 EE37 EE56 EF03 EF26